

MENU **SEARCH** **INDEX** **DETAIL** **JAPANESE** **BACK**

2 / 3

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-345671

(43)Date of publication of application : 05.12.2003

(51)Int.Cl.

G06F 12/16

(21)Application number : 2002-155236

(71)Applicant : MATSUSHITA ELECTRIC IND
CO LTD

(22)Date of filing :

29.05.2002

(72)Inventor : YAMAMOTO DAISUKE
ETANI KOJI
SHIGETA HIROMI
ISHII HIDEO
TOKUNO SEIJI

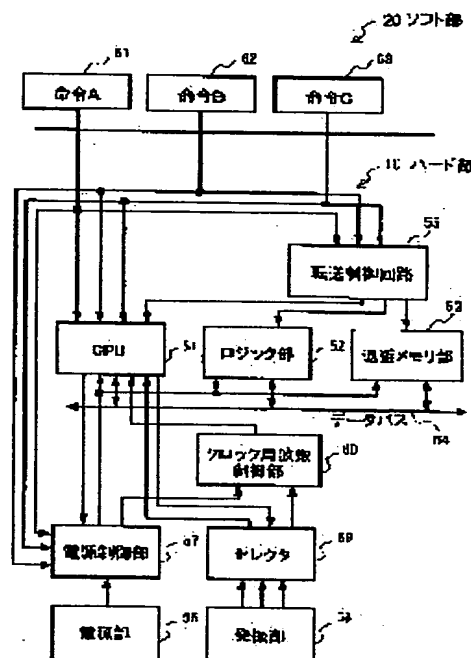
BEST AVAILABLE COPY

(54) MEMORY MIXEDLY MOUNTED SEMICONDUCTOR CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To realize both power consumption reduction and prevention against a decrease in performance of a semiconductor integrated circuit which were antimony (trade-off) before with small contradiction.

SOLUTION: An instruction table 30 has modes of voltage variation processing and frequency variation processing corresponding to the lengths of wait times after instructions as the respective instructions. When an instruction accompanied by each mode is supplied to a CPU 51, a signal of the accompanying mode is supplied to a power source control part 57 to turn off the power source, lower the source voltage, or continuously maintain the current state. When the power source is turned off, data of a logic part 52 are saved in a saving memory part 53 under the control of a transfer control circuit 55 and then the supply from the operating source voltage from a power source part 56 is stopped. The power consumption reduction and the prevention against the decrease of the performance of the semiconductor integrated circuit which were a trade-off before can be both realized without small contradiction.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2003-345671
(P2003-345671A)

(43) 公開日 平成15年12月5日 (2003. 12. 5)

(51) Int.Cl.⁷

G 0 6 F 12/16

識別記号

3 4 0

F I

G 0 6 F 12/16

テマコード* (参考)

3 4 0 Q 5 B 0 1 8

審査請求 未請求 請求項の数 8 O L (全 11 頁)

(21) 出願番号 特願2002-155236(P2002-155236)

(22) 出願日 平成14年5月29日 (2002. 5. 29)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 山本 大介

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 柄谷 康治

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100086737

弁理士 岡田 和秀

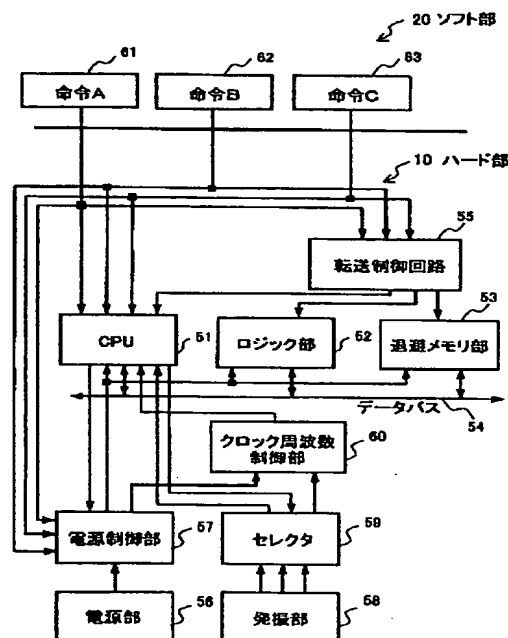
最終頁に続く

(54) 【発明の名称】 メモリ混載半導体集積回路

(57) 【要約】

【課題】 電源を遮断する前にデータをメモリに退避、遮断終了後にデータを復帰するには、時間のロスが発生する。電源遮断する時間が短い場合、短時間のデータ退避および復帰は半導体集積回路の性能低下をもたらす。

【解決手段】 命令テーブル30は各命令各について命令後の待ち時間の長さに応じた電圧変化処理、周波数変化処理のモードを有している。各モードを伴う命令がCPU51に与えられるとき、付帯するモードの信号が電源制御部57に与えられ、電源を遮断するか、電源電圧降下を行うか、引き続き現状を維持するかする。電源遮断時は、ロジック部52のデータを転送制御回路55の制御により退避メモリ部53へ退避させた後、電源部56からの動作電源電圧の供給を停止する。従来、トレードオフとされていた消費電力削減と半導体集積回路の性能低下防止とを、ともに矛盾少なく実現することができる。



【特許請求の範囲】

【請求項1】 各命令が記されていて、各命令のソフト処理後の待ち時間に応じて電圧処理モードを決定するソフト部と、

前記各命令を実行するもので、前記各命令に伴う前記電圧処理モードに応じて電源部からの電源電圧を変化してCPUに給電する電源制御部とを備えるメモリ混載半導体集積回路。

【請求項2】 請求項1に記載の集積回路において、さらに、
入力信号に対して所要の演算を施して出力するロジック部と、
前記ロジック部と同一半導体基板上に形成された退避メモリ部と、

特定の動作モード時に、前記ロジック部のデータを前記退避メモリ部へ転送退避させる転送制御回路とを備えるメモリ混載半導体集積回路。

【請求項3】 請求項2に記載の集積回路において、前記ソフト部が決定した電圧処理モードが電源電圧降下となるとき、前記CPUに与えるクロック信号の周波数の上限を制限するクロック周波数制御部を備えるメモリ混載半導体集積回路。

【請求項4】 請求項1から請求項3までのいずれかに記載の集積回路において、さらに、
前記各命令のソフト処理後の待ち時間に応じて発振部からのクロック周波数を選択するセレクタを備えるメモリ混載半導体集積回路。

【請求項5】 各命令が保存されている命令メモリ部と、
前記命令メモリ部の各命令のハード処理後の待ち時間に応じて電圧処理モードを決定するシステム状態監視部と、
前記各命令を実行するもので、前記システム状態監視部による前記各命令に伴う前記電圧処理モードに応じて電源部からの電圧を変化してCPUに給電する電源制御部とを備えるメモリ混載半導体集積回路。

【請求項6】 請求項5に記載の集積回路において、さらに、
入力信号に対して所要の演算を施して出力するロジック部と、
前記ロジック部と同一半導体基板上に形成された退避メモリ部と、
特定の動作モード時に、前記ロジック部のデータを前記退避メモリ部へ転送退避させる転送制御回路とを備えるメモリ混載半導体集積回路。

【請求項7】 請求項6に記載の集積回路において、前記システム状態監視部が決定した電圧処理モードが電源電圧降下となるとき、前記CPUに与えるクロック信号の周波数の上限を制限するクロック周波数制御部を備えるメモリ混載半導体集積回路。

【請求項8】 請求項5から請求項7までのいずれかに記載の集積回路において、さらに、

前記各命令のソフト処理後の待ち時間に応じて発振部からのクロック周波数を選択するセレクタを備えるメモリ混載半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、メモリ混載半導体集積回路に関するものである。

【0002】

【従来の技術】ロジック回路とメモリ回路とを同一半導体基板上に集積化したシステムLSIやメモリ混載LSIが広く用いられている。

【0003】システムLSIまたはメモリ混載LSIを含むシステムが比較的長期にわたって使用されない場合、メインプロセッサがこれを検知して、スリープモード指示信号を活性化させる。このスリープモード指示信号が活性化されると、ロジック回路に含まれるデータが、データバスを介してメモリ回路に退避され、メインプロセッサに退避完了を報知し、ロジック電源に対するロジック電源電圧の供給を停止する。一方、メモリ回路へは、スリープモード指示信号が活性化状態にあっても、メモリ電源電圧が供給される。

【0004】スリープモード解除時において、スリープモード指示信号が非活性化されると、ロジック回路に対して電源電圧が再び供給されるとともに、メモリ回路に退避されていたデータがロジック回路の元の位置へロードされる。したがって、スリープモード解除後、メモリ回路からロジック回路へデータを転送し、次の処理を実行することができる。

【0005】すなわち、スタンバイ状態時においてロジック回路に対して動作電源電圧供給を停止することにより、消費電力を削減することができるとともに、スタンバイ状態の間にロジック回路の内部データがすべて消失しても、動作再開時、再びロジック回路を元の状態に復帰させることができる。

【0006】

【発明が解決しようとする課題】上記従来の半導体集積回路においては、スリープモード以降からスリープモード解除までのスタンバイ状態時間の大小に関係なく、スリープモード指示信号によって必ずロジック回路からメモリ回路へデータを退避し、再びメモリ回路からロジック回路へデータを復帰させるようになっている。しかしながら、データの退避および復帰は、比較的多くの時間を必要とするものである。スリープモードに移行したときの電源遮断時間が短い場合には、データ退避とデータ復帰に要する時間が相対的に大きなものとなり、データ退避・復帰の動作が半導体集積回路の性能低下を招くことになる。

【0007】

【課題を解決するための手段】本発明は、上記の課題を解決するために、CPU（中央演算処理装置）が実行すべき各命令について、それぞれのソフト処理後またはハード処理後の待ち時間が命令ごとに異なっている点に着目する。また、CPUに対する給電の態様として、供給と遮断との2通りではなく、3通り以上の電圧処理モードを用意する。供給（現状維持）と遮断との中間として、電源電圧降下を用意する。電源電圧降下については、1段階のみでもよいし、複数段階でもよい。そして、スリープモードを検出した上でデータ退避を行う従来方式に代えて、各命令ごとに前もって判断して電圧処理モードを決定する。各命令の存在場所については、ソフト部でもかまわないし、ハード部でもかまわない。以下、詳しく説明する。

【0008】第1の解決手段として、本発明によるメモリ混載半導体集積回路は、各命令が記されていて、各命令のソフト処理後の待ち時間に応じて電圧処理モードを決定するソフト部と、前記各命令を実行するもので、前記各命令に伴う前記電圧処理モードに応じて電源部からの電源電圧を可変してCPUに給電する電源制御部とを備えた構成とされている。

【0009】第2の解決手段として、本発明によるメモリ混載半導体集積回路は、各命令が保存されている命令メモリ部と、前記命令メモリ部の各命令のハード処理後の待ち時間に応じて電圧処理モードを決定するシステム状態監視部と、前記各命令を実行するもので、前記システム状態監視部による前記各命令に伴う前記電圧処理モードに応じて電源部からの電圧を可変してCPUに給電する電源制御部とを備えた構成とされている。

【0010】第1の解決手段と第2の解決手段との相違点は、第1の解決手段では各命令がソフト部に存在するのに対して、第2の解決手段では各命令がハード部の命令メモリ部に存在することである。この相違に伴って、第2の解決手段では命令メモリ部とCPUとの間に各命令の中継を行うシステム状態監視部が介在されている。

【0011】第1の解決手段による作用は次のとおりである。すなわち、ソフト部は命令をCPUに与えるときに、その命令に対応してあらかじめ分かっている電圧処理モードを決定し、電源制御部に与える。各命令は、そのソフト処理後の待ち時間があらかじめ分かっており、このことを利用して、その待ち時間に応じて電圧処理モードをあらかじめ対応付けることが可能である。この対応関係は命令テーブルとして構築することが可能である。ソフト部からの命令がCPUに与えられるとき、この命令に伴う電圧処理モードが電源制御部に与えられ、電源制御部は与えられた電圧処理モードに応じて電源部からの電源電圧を可変し、可変した電源電圧をCPUに給電する。

【0012】また、第2の解決手段による作用は次のとおりである。すなわち、命令メモリ部は命令をCPUに

与えるときに、システム状態監視部を介して命令を与える。システム状態監視部は、その命令に対応してあらかじめ分かっている電圧処理モードを決定し、電源制御部に与える。命令メモリ部からの命令がCPUに与えられるとき、この命令に伴う電圧処理モードがシステム状態監視部で生成された上で電源制御部に与えられ、電源制御部は与えられた電圧処理モードに応じて電源部からの電源電圧を可変し、可変した電源電圧をCPUに給電する。電源遮断または電源電圧降下を行った場合、命令の実行が終了し待ち時間が経過すると、電源制御部はCPUに対する元の電源電圧の供給を再開する。

【0013】上記のいずれにおいても、各命令毎の処理後の待ち時間の長さの大小に応じて電源電圧を、電源遮断、電源電圧降下、現状維持などの複数モードに区別して調整するため、従来、二律背反（トレードオフ）とされていた消費電力削減と半導体集積回路の性能低下防止とを、ともに矛盾少なく実現することができる。

【0014】上記において好ましい態様は、さらに、入力信号に対して所要の演算を施して出力するロジック部と、前記ロジック部と同一半導体基板上に形成された退避メモリ部と、特定の動作モード時に、前記ロジック部のデータを前記退避メモリ部へ転送退避させる転送制御回路とを備えた構成である。

【0015】この構成において、特定の動作モード時には、電源遮断、電源電圧降下に対応するものであるが、ソフト部またはシステム状態監視部から受け取った命令に従って、転送制御回路はロジック部のデータを退避メモリ部に転送退避させる。その上で、電源制御部の動作によってロジック部に対して供給する電源電圧の可変が行われる。電源遮断または電源電圧降下を行った場合、命令の実行が終了し待ち時間が経過すると、電源制御部はソフト部に対する元の電源電圧の供給を再開する。ロジック部のデータを退避メモリ部に転送退避した上で、電源遮断または電源電圧降下を行うので、ロジック部のデータが全て消失されても、動作再開時には、データが復帰転送されたロジック部を用いて動作を正常に再開させることができる。ソフト処理後またはハード処理後の待ち時間が長い場合またはやや長い場合には、データの退避・復元に伴う時間ロスのデメリットを勘案しても、電源遮断による消費電力削減のメリットが大きい。

【0016】また、上記において別の好ましい態様は、前記ソフト部またはシステム状態監視部が決定した電圧処理モードが電源電圧降下となるとき、前記CPUに与えるクロック信号の周波数の上限を制限するクロック周波数制御部を備えることである。

【0017】これは、電源電圧が降下されるときに、CPUへのクロック信号の周波数を連動して低下させるものである。それは、クロック周波数が電源電圧の大きさに相関するからである。ソフト処理後またはハード処理後の待ち時間が長と短の中間のやや長い場合には、電源

遮断よりも電源電圧降下の方が好ましい。退避メモリ部からのデータの復帰転送後の動作再開を、電源遮断時に比べてより高速に行うことができる。

【0018】また、別の好ましい態様として、さらに、前記各命令のソフト処理後の待ち時間に応じて発振部からのクロック周波数を選択するセクタを備える構成がある。

【0019】この構成によれば、ソフト処理後またはハード処理後の待ち時間が相対的に長い場合には、CPUに供給するクロック信号の周波数を低くし、処理能力を落すことでCPUの負担を軽減することができる。

【0020】

【発明の実施の形態】以下、本発明にかかわるメモリ混載半導体集積回路の実施の形態について図面を参照しながら説明する。

【0021】（実施の形態1）図1は本発明の実施の形態1におけるメモリ混載半導体集積回路の構成を示すブロック図である。

【0022】図1において、符号の10はハード部、20はソフト部、51はCPU（中央演算処理装置）、52はロジック部、53は退避メモリ部、54はデータバス、55は転送制御回路、56は電源部、57は電源制御部、58は発振部、59はセクタ、60はクロック周波数制御部、61はソフト部20における第1の命令、62は第2の命令、63は第3の命令である。

【0023】ハード部10とソフト部20との関係は、ソフト部20において、第1の命令61、第2の命令62、第3の命令63…のいずれかが実行されると、その命令実行に伴う信号がハード部10におけるCPU51と電源制御部57と転送制御回路55に送出されるように構成されている。

【0024】CPU51とロジック部52と退避メモリ部53とはデータバス54を介して双方向に接続されており、ロジック部52と退避メモリ部53とはデータの双方向転送が可能に構成されている。転送制御回路55は、CPU51とのやりとりにおいて、ロジック部52と退避メモリ部53との間の双方向データ転送を制御するものとして構成されている。

【0025】CPU51、ロジック部52および退避メモリ部53と電源部56との間に電源制御部57が介在されている。この電源制御部57は、命令が指示するモードに応じて、電源部56から入力される電源電圧を制御した上で、CPU51、ロジック部52および退避メモリ部53に対して個別的に電源電圧を供給するように構成されている。CPU51は、電源制御部57に対して、またセクタ59に対して適時に指示を与えるように構成されている。

【0026】発振部58は複数種類の周波数のクロック信号を生成出力するように構成されている。発振部58とCPU51との間にクロック信号を選択するためのセ

クタ59およびクロック周波数制御部60が介在されている。CPU51は、ソフト部20からの命令実行に伴う信号に基づいてクロック信号選択信号を生成し、そのクロック信号選択信号をセクタ59に対して与えるように構成されている。セクタ59は、CPU51からのクロック信号選択信号に従って選択した周波数のクロック信号をCPU51に供給するように構成されている。第2の命令62は電源電圧降下の指示を伴うものであるが、電源制御部57は、ソフト部20からこの電源電圧降下の指示を伴う第2の命令62にかかわる命令実行に伴う信号を入力したときは、クロック周波数制御部60に対して、クロック周波数の上限を制限（降下）するための周波数上限制限信号を送出するように構成されている。これは、クロック周波数が電源電圧に相関することに起因している。クロック周波数制御部60は、電源制御部57から周波数上限制限信号を受け取ったときは、セクタ59からのクロック信号に対して周波数上限の制限を与えた上でCPU51に出力するように構成されている。

【0027】転送制御回路55は、CPU51とロジック部52または退避メモリ部53との間のデータ転送を監視し、データ転送が完了したときに転送終了信号をCPU51に送出するように構成されている。CPU51は、転送制御回路55から転送終了信号を受け取ったときは、電源制御部57およびセクタ59に対して復帰信号を送出するように構成されている。

【0028】図2は命令テーブル30を示す。本実施の形態においては、この命令テーブル30はソフト部20に存在している。

【0029】命令の処理後の待ち時間は、命令ごとに異なる。第1の命令61は待ち時間が相対的に長いものであり、これに対応して、電圧処理については、電源遮断のモードが関連付けられており、周波数処理については、クロック周波数を低く設定するモードが関連付けられている。第2の命令62は待ち時間が中間の長さであり、これに対応して、電圧処理については、電源電圧降下のモードが関連付けられており、周波数処理については、クロック周波数をやや低く設定するモードが関連付けられている。第3の命令63は待ち時間が相対的に短いものであり、これに対応して、電圧処理については、電源電圧を変化させずにそのまま継続する現状維持モードが関連付けられており、周波数処理についても、クロック周波数を変化させずにそのまま継続する現状維持モードが関連付けられている。

【0030】次に、以上のように構成された実施の形態1のメモリ混載半導体集積回路の動作を図3のフローチャートに基づいて説明する。

【0031】ステップ1において、命令が示す処理を行い、次いで、ステップ2に進み、処理する命令が第1の命令61であるか否かを判定する。処理する命令が第1

の命令61であるときはステップ3に進み、そうでないときはステップ7に進む。

【0032】処理する命令が第1の命令61であってステップ3に進んだときは、待ち時間＝長のモードを設定した上で、次いで、ステップ4に進み、処理内容の設定が電圧変化処理か周波数変化処理かの判定を行う。電圧変化処理が選択されているときはステップ5に進んで、電源遮断のモードを設定し、電源を遮断した上で、また、周波数変化処理が選択されているときはステップ6に進んで、周波数＝低のモードを設定し、クロック周波数を低く設定した上で、待ち時間終了のステップ17から命令終了判定のステップ18へと進む。

【0033】処理する命令が第1の命令61ではなくてステップ7に進んだときは、処理する命令が第2の命令62であるか否かを判定する。処理する命令が第2の命令62であるときはステップ8に進み、そうでないときはステップ12に進む。

【0034】処理する命令が第2の命令62であってステップ8に進んだときは、待ち時間＝中のモードを設定した上で、次いで、ステップ9に進み、処理内容の設定が電圧変化処理か周波数変化処理かの判定を行う。電圧変化処理が選択されているときはステップ10に進んで、電源電圧降下のモードを設定し、電源電圧を制限（降下）した上で、また、周波数変化処理が選択されているときはステップ11に進んで、周波数＝やや低のモードを設定し、クロック周波数をやや低く設定した上で、待ち時間終了のステップ17から命令終了判定のステップ18へと進む。

【0035】処理する命令が第1の命令61でもなく第2の命令62でもなくてステップ12に進んだときは、処理する命令が第3の命令63であるか否かを判定する。処理する命令が第3の命令63であるときはステップ13に進み、そうでないときは別のステップ（図示せず）に進む。

【0036】処理する命令が第3の命令63であってステップ13に進んだときは、待ち時間＝短のモードを設定した上で、次いで、ステップ14に進み、処理内容の設定が電圧変化処理か周波数変化処理かの判定を行う。電圧変化処理が選択されているときはステップ15に進んで、電源電圧＝現状維持のモードを設定し、そのままの電圧で処理を実行し、また、周波数変化処理が選択されているときはステップ16に進んで、周波数＝現状維持のモードを設定し、クロック周波数を変化させず、待ち時間終了のステップ17から命令終了判定のステップ18へと進む。

【0037】ステップ18においては、命令処理が全て終了したか否かを判定し、命令処理が全て終了していないときはステップ1の命令処理に戻り、以降同様の処理を繰り返す。一方、命令処理が全て終了したときは、全動作を終了する。

【0038】次に、上記動作をより具体的レベルで説明する。すなわち、（1）ソフト処理の第1の命令による電源遮断、（2）ソフト処理の第2の命令による電源電圧降下、（3）ソフト処理の第3の命令による電源電圧＝現状維持、（4）ソフト処理の第1の命令による周波数＝低、（5）ソフト処理の第2の命令による周波数＝やや低、（6）ソフト処理の第3の命令による周波数＝現状維持、の各場合に分けて順次説明する。

【0039】（1）第1の命令のソフト処理および電圧変化処理の選択モード（電源遮断）の場合
このモードの場合は、システムの電源遮断がソフト処理により実行される。あらかじめ電圧変化処理が選択設定されているものとする。以下、説明する。

【0040】ソフト部20において第1の命令61が行されると、第1の命令61はハード部10のCPU51、電源制御部57および転送制御回路55に直接入力される。このとき、ソフト部20において、命令テーブル30が参照される。本モードでは、命令が待ち時間の長い第1の命令61であり、選択処理が電圧変化処理であるので、命令テーブル30より電源遮断が選択され、これが第1の命令61に付帯して電源制御部57に与えられる。

【0041】電源制御部57は、第1の命令61を受け取って、電源遮断モードを設定する。ただし、CPU51からの実行指示信号をまだ受け取っていないので、電源遮断の実行は待機する。

【0042】一方、第1の命令61を入力した転送制御回路55は、ロジック部52に含まれるデータをデータバス54を介して退避メモリ部53に退避する。そして、転送制御回路55は、退避動作を監視し、退避動作の完了を確認すると、CPU51に対して退避完了信号を通知する。退避完了信号を受け取ったCPU51は、電源制御部57に対して実行指示信号を送出する。実行指示信号を受け取った電源制御部57は、電源部56からの電源電圧の供給を停止する。これにより、CPU51、ロジック部52および退避メモリ部53はスリープ状態となる。

【0043】ソフト部20において、第1の命令61が終了し待ち時間が経過すると、電源制御部57は、CPU51、ロジック部52および退避メモリ部53に対する電源電圧の供給を再開する。これで、CPU51、ロジック部52および退避メモリ部53はそれぞれアクティブ状態に復帰する。一方、転送制御回路55の制御により、退避メモリ部53に退避されていたデータをロジック部52の元の場所に復帰転送する。すなわち、電源遮断によってロジック部52のデータが全て消失されても、動作再開時には、データが復帰転送されたロジック部52を用いて、動作を正常に再開させることができる。

【0044】第1の命令61の場合は、待ち時間が相対

的に長いことから、データの退避・復元に伴う時間ロスのデメリットを勘案しても、電源遮断による消費電力削減のメリットが大きい。リーク電流も抑止できる。

【0045】(2) 第2の命令のソフト処理および電圧変化処理の選択モード(電源電圧降下)の場合
このモードの場合は、システムの電源電圧降下がソフト処理により実行される。あらかじめ電圧変化処理が選択設定されているものとする。以下、説明する。

【0046】ソフト部20において第2の命令62が実行されると、第2の命令62はハード部10のCPU51、電源制御部57および転送制御回路55に直接入力される。このとき、ソフト部20において、命令テーブル30が参照される。本モードでは、命令が待ち時間の中程度の第2の命令62であり、選択処理が電圧変化処理であるので、命令テーブル30より電源電圧降下を選択され、これが第2の命令62に付帯して電源制御部57に与えられる。

【0047】電源制御部57は、第2の命令62を受け取って、電源電圧降下を設定する。ただし、CPU51からの実行指示信号をまだ受け取っていないので、電源電圧降下の実行は待機する。

【0048】一方、第2の命令62を入力した転送制御回路55は、ロジック部52に含まれるデータをデータバス54を介して退避メモリ部53に退避する。そして、転送制御回路55は、退避動作を監視し、退避動作の完了を確認すると、CPU51に対して退避完了信号を通知する。退避完了信号を受け取ったCPU51は、電源制御部57を制御して実行指示信号を送出するとともに、セクタ59に対して切換信号を送出する。実行指示信号を受け取った電源制御部57は、電源部56からの電源電圧について降下制御を行い、その降下された電源電圧をCPU51、ロジック部52および退避メモリ部53に供給する。これにより、CPU51、ロジック部52および退避メモリ部53は低電圧動作状態となる。

【0049】そして、この第2の命令62の場合には、クロック周波数の上限を設定する。クロック周波数は電源電圧に相関するからである。CPU51から切換信号を受け取ったセクタ59は発振部58からのクロック信号をクロック周波数制御部60に送出する状態に切り換える。また、前記の電源電圧降下の選択に伴って、電源制御部57はクロック周波数制御部60にアクティブ信号を送出する。クロック周波数制御部60は、セクタ59からのクロック信号に対して周波数の上限を制限した上で、その周波数上限が制限されたクロック信号をCPU51に供給する。

【0050】ソフト部20において、第2の命令62が終了し待ち時間が経過すると、電源制御部57は、電源電圧降下を解除し、CPU51、ロジック部52および退避メモリ部53に対する通常の電源電圧の供給を再開

する。また、クロック周波数制御部60をインアクティブに制御する。CPU51はセクタ59を制御し、セクタ59からCPU51に対する通常の周波数のクロック信号の供給が再開される。これで、CPU51、ロジック部52および退避メモリ部53はそれぞれ通常状態に復帰する。一方、転送制御回路55の制御により、退避メモリ部53に退避されていたデータをロジック部52の元の場所に復帰転送する。すなわち、電源電圧降下に起因してロジック部52のデータが消失されたり変化を生じても、動作再開時には、データが復帰転送されたロジック部52を用いて、動作を正常に再開させることができる。

【0051】第2の命令62の場合は、待ち時間が中程度であることから、ロジック部52に対する電源電圧供給を電圧降下状態とすることで、消費電力の抑制を図りつつ、データの退避・復元に伴う時間ロスは避けられないものの、電源遮断の場合に比べて動作再開をより高速に行うことができる。

【0052】(3) 第3の命令のソフト処理および電圧変化処理の選択モード(現状維持)の場合
このモードの場合は、システムの電源電圧を変化させずにそのままソフト処理を実行される。あらかじめ電圧変化処理が選択設定されているものとする。以下、説明する。

【0053】ソフト部20において、第3の命令63が実行されると、第3の命令63はハード部10のCPU51、電源制御部57および転送制御回路55に直接入力される。このとき、ソフト部20において、命令テーブル30が参照される。本モードでは、命令が待ち時間の短い第3の命令63であり、選択処理が電圧変化処理であるので、命令テーブル30より電源電圧＝現状維持のモードが選択され、これが第3の命令63に付帯して電源制御部57に与えられる。

【0054】電源制御部57は、第3の命令63を受け取って、電源電圧＝現状維持を設定する。したがって、電源制御部57は、電源部56から入力された電源電圧を変化させない。CPU51、ロジック部52および退避メモリ部53への電源供給は元のまま継続される。

【0055】なお、第3の命令63を入力した転送制御回路55は、ロジック部52から退避メモリ部53へのデータ転送(退避)は行わない。

【0056】第3の命令63の場合は、待ち時間が短いことから、電源電圧は変化させず、また、ロジック部52から退避メモリ部53へのデータ転送(退避)を実施しない。したがって、従来、いたずらに電源電圧の遮断や降下および復元ならびに短時間のデータ退避および復帰を行っていた場合に、強いられていた無駄な時間ロスを削減するとともに、半導体集積回路の性能の低下を防止することができる。

【0057】以上のように、本実施の形態においては、

各命令毎の処理後の待ち時間の長さの大小に応じて電源電圧を、電源遮断、電源電圧降下、現状維持の場合に区別して調整するため、従来、二律背反（トレードオフ）とされていた消費電力削減と半導体集積回路の性能低下防止とを、ともに矛盾少なく実現することができる。

【0058】なお、退避メモリ部53に関しては、DRAM、SRAM、フラッシュメモリのどれでもかまわない。電源遮断時における退避メモリ部53のサブスレッシュヨルド電流は、十分に抑制される。

【0059】（4）第1の命令のソフト処理および周波数変化処理の選択モード（クロック周波数＝低）の場合このモードの場合は、システムのクロック周波数＝低のモードがソフト処理により実行される。あらかじめ周波数変化処理が選択設定されているものとする。以下、説明する。

【0060】ソフト部20において第1の命令61が実行されると、第1の命令61はハード部10のCPU51に直接入力される。このとき、ソフト部20において、命令テーブル30が参照される。本モードでは、命令が待ち時間の長い第1の命令61であり、選択処理が周波数変化処理であるので、命令テーブル30より周波数＝低が選択され、これが第1の命令61に付帯してCPU51に与えられる。

【0061】第1の命令61を受け取ったCPU51はセクタ59に対して、周波数＝低を指示する。この指示を受け取ったセクタ59は、発振部58から供給される複数種類のクロック周波数のうち周波数＝低のモードのクロック信号を選択し、CPU51に出力する。これにより、CPU51は、低い周波数で動作する状態となり、処理能力を落とすことで負担を軽減する。

【0062】ソフト部20において、第1の命令61が終了し待ち時間が経過すると、CPU51からセクタ59への指示により、セクタ59は元のクロック周波数のクロック信号を選択してCPU51に出力する。

【0063】第1の命令61の場合は、待ち時間が相対的に長いことから、CPU51に供給するクロック信号の周波数を低くし、処理能力を落とすことでCPU51の負担を軽減することができる。

【0064】（5）第2の命令のソフト処理および周波数変化処理の選択モード（クロック周波数＝やや低）の場合

このモードの場合は、システムのクロック周波数＝やや低のモードがソフト処理により実行される。あらかじめ周波数変化処理が選択設定されているものとする。以下、説明する。

【0065】ソフト部20において第2の命令62が実行されると、第2の命令62はハード部10のCPU51に直接入力される。このとき、ソフト部20において、命令テーブル30が参照される。本モードでは、命令が待ち時間の中程度の第2の命令62であり、選択処

理が周波数変化処理であるので、命令テーブル30より周波数＝やや低が選択され、これが第2の命令62に付帯してCPU51に与えられる。

【0066】第2の命令62を受け取ったCPU51はセクタ59に対して、周波数＝やや低を指示する。この指示を受け取ったセクタ59は、発振部58から供給される複数種類のクロック周波数のうち周波数＝やや低のモードのクロック信号を選択し、CPU51に出力する。これにより、CPU51は、やや低い周波数で動作する状態となり、処理能力をやや落とすことで負担を軽減する。

【0067】ソフト部20において、第2の命令62が終了し待ち時間が経過すると、CPU51からセクタ59への指示により、セクタ59は元のクロック周波数のクロック信号を選択してCPU51に出力する。

【0068】第2の命令62の場合は、待ち時間がやや長いことから、CPU51に供給するクロック信号の周波数をやや低くし、処理能力をやや落とすことでCPU51の負担を軽減することができる。

【0069】（6）第3の命令のソフト処理および周波数変化処理の選択モード（クロック周波数＝現状維持）の場合

このモードの場合は、システムのクロック周波数＝現状維持のモードがソフト処理により実行される。あらかじめ周波数変化処理が選択設定されているものとする。以下、説明する。

【0070】ソフト部20において第3の命令63が実行されると、第3の命令63はハード部10のCPU51に直接入力される。このとき、ソフト部20において、命令テーブル30が参照される。本モードでは、命令が待ち時間の短い第3の命令63であり、選択処理が周波数変化処理であるので、命令テーブル30より周波数＝現状維持が選択され、これが第3の命令63に付帯してCPU51に与えられる。

【0071】第3の命令63を受け取ったCPU51はセクタ59に対して、周波数＝現状維持を指示する。この指示を受け取ったセクタ59は、元のクロック周波数のクロック信号の供給を継続する。これにより、CPU51は、低い周波数で動作する状態となり、処理能力を落とすことで負担を軽減する。

【0072】ソフト部20において、第1の命令61が終了し待ち時間が経過すると、CPU51からセクタ59への指示により、セクタ59は元のクロック周波数のクロック信号を選択してCPU51に出力する。

【0073】第3の命令63の場合は、待ち時間が短いことから、CPU51に供給するクロック信号の周波数は変化させず、CPU51は、現状のままで動作を実行する。

【0074】待ち時間が短いことから周波数を変化させる必要がなく、周波数を変化させた場合の元に戻す時間

のロスを回避することができる。

【0075】（実施の形態2）図4は本発明の実施の形態2におけるメモリ混載半導体集積回路の構成を示すブロック図である。

【0076】図4において、実施の形態1の図1におけるのと同じ符号は同一構成要素を指しているの、詳しい説明は省略する。新たな構成要素としての64はシステム状態監視部、53bは各命令が格納されている命令メモリ部である。実施の形態1の場合には、各種命令がソフト部20で処理されているのに対して、本実施の形態の場合には、ハード部10で処理するようになっている。すなわち、命令メモリ部53bに第1の命令61、第2の命令62、第3の命令63…が格納されている。実施の形態1の場合の退避メモリ部53に対応するものを、本実施の形態では、“a”を付加して、退避メモリ部53aと記載することにする。命令メモリ部53bからCPU51、電源制御部57および転送制御回路55への命令信号の伝播のためにシステム状態監視部64を新たに設けてある。すなわち、第1の命令61、第2の命令62、第3の命令63…のいずれかの命令がシステム状態監視部64に入力される。そして、システム状態監視部64は、どの命令を選択しているかの信号をCPU51、電源制御部57および転送制御回路55に出力する。

【0077】本実施の形態の場合、図2に示す命令テーブル30は命令メモリ部53bに存在する。また、図3のフローチャートは、本実施の形態において同様に適用される。

【0078】なお、退避メモリ部53aと命令メモリ部53bとは、別個のものでもよいし、同一のものでもよい。

【0079】次に、動作を具体的レベルで説明する。すなわち、（1）ハード処理の第1の命令による電源遮断、（2）ハード処理の第2の命令による電源電圧降下、（3）ハード処理の第3の命令による電源電圧＝現状維持、（4）ハード処理の第1の命令による周波数＝低、（5）ハード処理の第2の命令による周波数＝やや低、（6）ハード処理の第3の命令による周波数＝現状維持、の各場合に分けて順次説明する。

【0080】（1）第1の命令のハード処理および電圧変化処理の選択モード（電源遮断）の場合
このモードの場合は、システムの電源遮断がハード処理により実行される。あらかじめ電圧変化処理が選択設定されているものとする。以下、説明する。

【0081】ハード部10の内部における命令メモリ部53bから読み出された第1の命令61が実行されると、第1の命令61はシステム状態監視部64に直接入力される。このとき、命令メモリ部53bにおいて、命令テーブル30が参照される。本モードでは、命令が待ち時間の長い第1の命令61であり、選択処理が電圧変

化処理であるので、命令テーブル30より電源遮断が選択され、これが第1の命令61に付帯してシステム状態監視部64に与えられる。システム状態監視部64は、受け取った第1の命令61をCPU51、電源制御部57および転送制御回路55に中継的に伝える。

【0082】これ以降の動作については、実施の形態1の（1）の場合と同様であるので、詳しい説明は省略する。

【0083】（2）第2の命令のハード処理および電圧変化処理の選択モード（電源電圧降下）の場合
このモードの場合は、システムの電源電圧降下がハード処理により実行される。あらかじめ電圧変化処理が選択設定されているものとする。以下、説明する。

【0084】ハード部10の内部における命令メモリ部53bから読み出された第2の命令62が実行されると、第2の命令62はシステム状態監視部64に直接入力される。このとき、命令メモリ部53bにおいて、命令テーブル30が参照される。本モードでは、命令が待ち時間の中程度の第2の命令62であり、選択処理が電圧変化処理であるので、命令テーブル30より電源電圧降下が選択され、これが第2の命令62に付帯して電源制御部57に与えられる。システム状態監視部64は、受け取った第2の命令62をCPU51、電源制御部57および転送制御回路55に中継的に伝える。

【0085】これ以降の動作については、実施の形態1の（2）の場合と同様であるので、詳しい説明は省略する。

【0086】（3）第3の命令のハード処理および電圧変化処理の選択モード（現状維持）の場合
このモードの場合は、システムの電源電圧を変化させずにそのままハード処理を実行される。あらかじめ電圧変化処理が選択設定されているものとする。以下、説明する。

【0087】ハード部10の内部における命令メモリ部53bから読み出された第3の命令63が実行されると、第3の命令63はシステム状態監視部64に直接入力される。このとき、命令メモリ部53bにおいて、命令テーブル30が参照される。本モードでは、命令が待ち時間の短い第3の命令63であり、選択処理が電圧変化処理であるので、命令テーブル30より現状維持が選択され、これが第3の命令63に付帯して電源制御部57に与えられる。システム状態監視部64は、受け取った第3の命令63をCPU51、電源制御部57および転送制御回路55に中継的に伝える。

【0088】これ以降の動作については、実施の形態1の（3）の場合と同様であるので、詳しい説明は省略する。

【0089】（4）第1の命令のハード処理および周波数変化処理の選択モード（クロック周波数＝低）の場合
このモードの場合は、システムのクロック周波数＝低の

モードがハード処理により実行される。あらかじめ周波数変化処理が選択設定されているものとする。以下、説明する。

【0090】ハード部10の内部における命令メモリ部53bから読み出された第1の命令61が実行されると、第1の命令61はシステム状態監視部64に直接入力される。このとき、命令メモリ部53bにおいて、命令テーブル30が参照される。本モードでは、命令が待ち時間の長い第1の命令61であり、選択処理が電圧変化処理であるので、命令テーブル30より電源遮断が選択され、これが第1の命令61に付帯してシステム状態監視部64に与えられる。システム状態監視部64は、受け取った第1の命令61をCPU51に中継的に伝える。

【0091】これ以降の動作については、実施の形態1の(4)の場合と同様であるので、詳しい説明は省略する。

【0092】(5)第2の命令のハード処理および周波数変化処理の選択モード(クロック周波数=やや低)の場合

このモードの場合は、システムのクロック周波数=やや低のモードがハード処理により実行される。あらかじめ周波数変化処理が選択設定されているものとする。以下、説明する。

【0093】ハード部10の内部における命令メモリ部53bから読み出された第2の命令62が実行されると、第2の命令62はシステム状態監視部64に直接入力される。このとき、命令メモリ部53bにおいて、命令テーブル30が参照される。本モードでは、命令が待ち時間の中程度の第2の命令62であり、選択処理が電圧変化処理であるので、命令テーブル30より電源電圧降下が選択され、これが第2の命令62に付帯して電源制御部57に与えられる。システム状態監視部64は、受け取った第2の命令62をCPU51に中継的に伝える。

【0094】これ以降の動作については、実施の形態1の(5)の場合と同様であるので、詳しい説明は省略する。

【0095】(6)第3の命令のハード処理および周波数変化処理の選択モード(クロック周波数=現状維持)の場合

このモードの場合は、システムのクロック周波数=現状維持のモードがハード処理により実行される。あらかじめ周波数変化処理が選択設定されているものとする。以下、説明する。

【0096】ハード部10の内部における命令メモリ部53bから読み出された第3の命令63が実行されると、第3の命令63はシステム状態監視部64に直接入力される。このとき、命令メモリ部53bにおいて、命令テーブル30が参照される。本モードでは、命令が待

ち時間の短い第3の命令63であり、選択処理が電圧変化処理であるので、命令テーブル30より電源電圧=現状維持のモードが選択され、これが第3の命令63に付帯して電源制御部57に与えられる。システム状態監視部64は、受け取った第3の命令63をCPU51に中継的に伝える。

【0097】これ以降の動作については、実施の形態1の(6)の場合と同様であるので、詳しい説明は省略する。

【0098】

【発明の効果】以上のように本発明によれば、各命令毎の処理後の待ち時間の長さの大小に応じて電源電圧を、電源遮断、電源電圧降下、現状維持などの複数モードに区別して調整するため、従来、二律背反(トレードオフ)とされていた消費電力削減と半導体集積回路の性能低下防止とを、ともに矛盾少なく実現することができる。

【0099】ソフト処理後またはハード処理後の待ち時間が長い場合またはやや長い場合には、データの退避・復元に伴う時間ロスのデメリットを勘案しても、電源遮断による消費電力削減のメリットが大きい。もちろん、スタンバイ時にロジック部のデータが消失されても、動作再開時には、データ復帰によってロジック部の動作を正常に再開させることができる。

【0100】電源電圧がクロック周波数と相関することから、電源電圧降下時にはクロック周波数も上限を制御(降下)することにより、性能、電力に最適な動作状況を容易に設定することができる。

【0101】なお、ハード処理の場合は、処理を実行する速さがソフト処理に比べて速い、また、ソフト処理の場合は、ハード処理に比べて面積率が低くすることができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1におけるメモリ混載半導体集積回路の構成を示すブロック図

【図2】 本発明の実施の形態1および2の不揮発性半導体メモリ装置における命令テーブルの構成図

【図3】 実施の形態1および2のメモリ混載半導体集積回路の動作を示すフローチャート

【図4】 本発明の実施の形態2におけるメモリ混載半導体集積回路の構成を示すブロック図

【符号の説明】

10 ハード部

20 ソフト部

30 命令テーブル

51 CPU

52 ロジック部

53 退避メモリ部

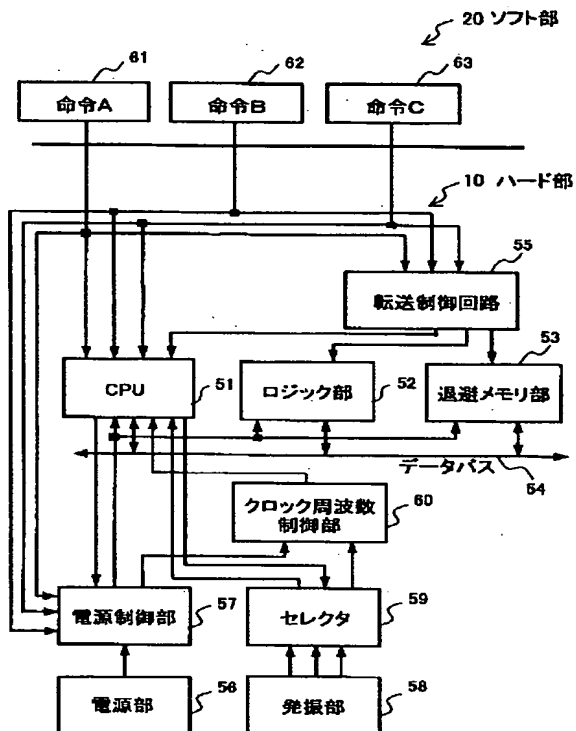
53a 退避メモリ部

53b 命令メモリ部

54 データバス
 55 転送制御回路
 56 電源部
 57 電源制御部
 58 発振部
 59 セレクタ

60 クロック周波数制御部
 61 第1の命令
 62 第2の命令
 63 第3の命令
 05 64 システム状態監視部

【図1】

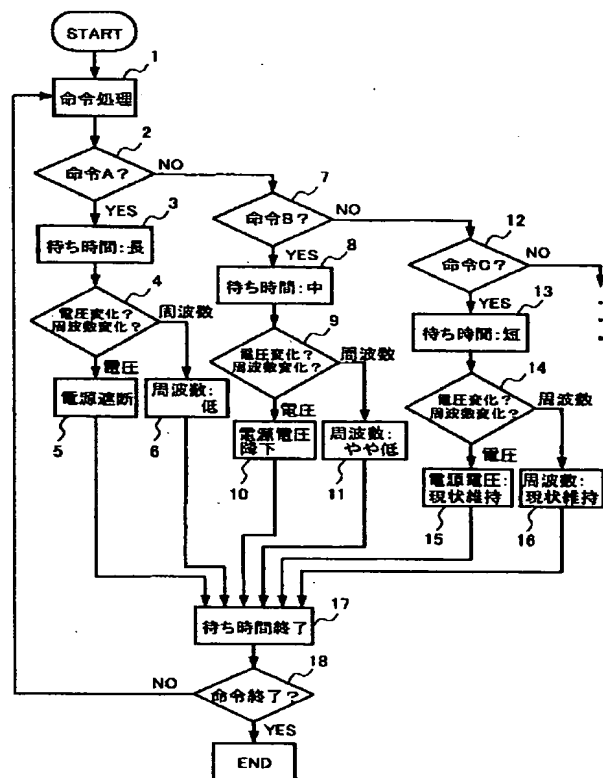


【図2】

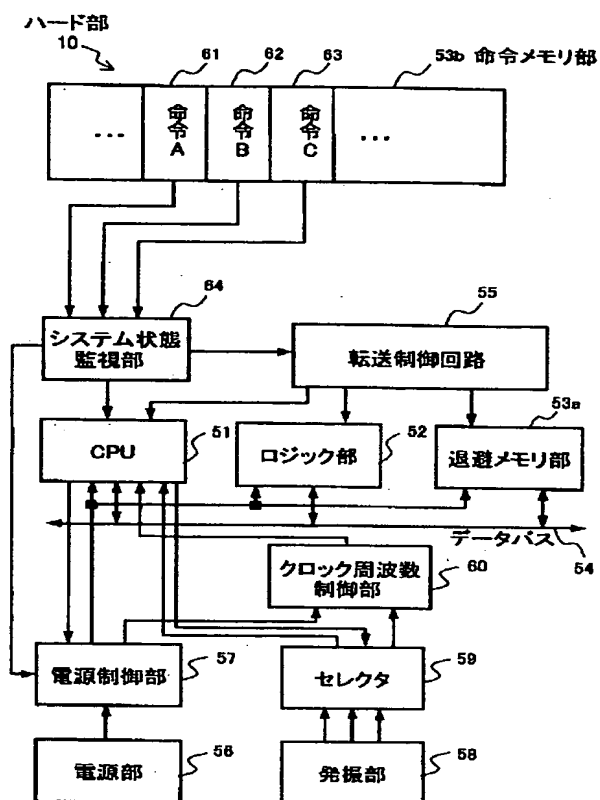
命令テーブル
30

命令	待ち時間	電圧処理	周波数処理
命令A	長	電源遮断	低
命令B	中	電源電圧降下	やや低
命令C	短	現状維持	現状維持

【図3】



【図4】



フロントページの続き

(72) 発明者 繁田 広美

大阪府門真市大字門真1006番地 松下電器 35
産業株式会社内

(72) 発明者 石井 英雄

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 得能 誠司

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

40 Fターム(参考) 5B018 GA04 LA07 QA05